

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-31185

(P2000-31185A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
H 0 1 L 21/60		H 0 1 L 21/92	6 0 4 B
21/304	6 3 1	21/304	6 3 1
		21/92	6 0 4 A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21)出願番号 特願平10-195171  
 (22)出願日 平成10年7月10日(1998.7.10)

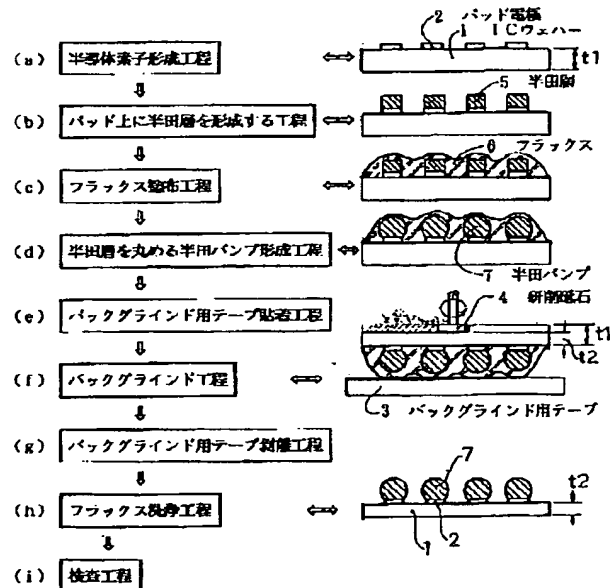
(71)出願人 000001960  
 シチズン時計株式会社  
 東京都新宿区西新宿2丁目1番1号  
 (72)発明者 齋藤 勝  
 東京都田無市本町6丁目1番12号 シチズン時計株式会社田無製造所内

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 ICウェハを研削した際に生じたマイクロクラックが半田バンプ形成時に進行してウェハの割れ不良が多発する。

【解決手段】 ICウェハ1上の所定位置に複数のパッド電極2を形成する半導体素子形成工程と、パッド電極2上に半田層5を形成する工程と、半田層5上にフラックス6を塗布する工程と、半田層5を所定の温度でリフローして半田層を丸める半田バンプ形成工程と、バックグラインド用テープ3を半田バンプ7側に貼着するバックグラインド用テープ貼着工程と、ICウェハ1を所定の厚みに研削するバックグラインド工程と、前記テープ3をICウェハ1から剥離するバックグラインド用テープ剥離工程と、IC能動面のフラックス6を除去するフラックス洗浄工程とからなる半導体装置の製造方法。研削したSiカスが付着しない。半田リフロー後に研削するのでウェハの割れが発生しない。



BEST AVAILABLE COPY

#### 【特許請求の範囲】

【請求項1】 フリップチップ半導体装置の製造方法において、ICウェハー上の所定位置に複数個のパッド電極を形成する半導体素子形成工程と、前記ICウェハーのパッド電極上に半田メッキにより半田層を形成する工程と、前記半田層を被覆するフラックス塗布工程と、前記半田層を所定の温度でリフローして半田層を丸める半田バンプ形成工程と、前記ICウェハーのグラインド面と平行にバックグラインド用テープをフラックスで被覆された半田バンプ側に貼着するバックグラインド用テープ貼着工程と、前記テープの他方の面をグラインド装置の研削テーブルに貼着しICウェハーを所定の厚みに研削するバックグラインド工程と、前記バックグラインド用テープをICウェハーから剥離するバックグラインド用テープ剥離工程と、前記IC能動面のフラックスを除去するフラックス洗浄工程とからなることを特徴とする半導体装置の製造方法。

【請求項2】 フリップチップ半導体装置の製造方法において、ICウェハー上の所定位置に複数個のパッド電極を形成する半導体素子形成工程と、前記ICウェハーのパッド電極上に半田メッキにより半田層を形成する工程と、前記半田層を被覆するフラックス塗布工程と、前記半田層を所定の温度でリフローして半田層を丸める半田バンプ形成工程と、前記IC能動面のフラックスを除去するフラックス洗浄工程、前記IC能動面を保護するIC能動面保護膜形成工程と、前記ICウェハーのグラインド面と平行にバックグラインド用テープをフラックスで被覆された半田バンプ側に貼着するバックグラインド用テープ貼着工程と、前記テープの他方の面をグラインド装置の研削テーブルに貼着しICウェハーを所定の厚みに研削するバックグラインド工程と、前記バックグラインド用テープをICウェハーから剥離するバックグラインド用テープ剥離工程と、前記IC能動面を保護した保護膜除去工程と、前記IC能動面を洗浄する洗浄工程とからなることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、小型、薄型要求に対応されるフリップチップ半導体装置の製造方法に係わり、更に詳しくは、IC能動面を保護した状態でバックグラインドして薄型加工した半導体装置の製造方法に関するものである。

##### 【0002】

【従来の技術】 近年、半導体パッケージの小型化、高密度化に伴いベア・チップを直接フェイスダウンで、基板上に実装するフリップチップボンディングが開発されている。カメラ一体型VTRや携帯電話機等の登場により、ベア・チップと略同じ寸法の小型パッケージ、所謂CSP（チップサイズ／スケール・パッケージ）を載せた携帯機器が相次いで登場してきている。最近CSPの

開発は急速に進み、半導体装置の小型、薄型化の要求が本格化している。

【0003】 そこで、小型、薄型化要求に対応する従来のフリップチップ半導体装置の製造方法について以下その概要を説明する。

【0004】 一般的に、ICウェハーのパッド電極面に半田バンプを形成する方法には、スタッドバンプ方式、ボールバンプ方式及びメッキバンプ方式等があるが、その中で、パッド電極位置にレジストにて窓を形成し半田浴槽中に浸漬してメッキにて半田バンプを形成するメッキバンプ方式は、パッド電極間の狭い配列でバンプを形成することが可能で、ICチップの小型化には有効な半田バンプの形成手段である。

【0005】 図3は、従来の半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。（a）は、半導体素子形成工程で、所定の厚み、例えば、 $t_1 = 625 \mu\text{m}$ のICウェハー1上の所定位置に複数個のパッド電極2を形成する。（b）は、バックグラインド用テープ貼着工程で、前記ICウェハー1のパッド電極2面に紫外線照射により剥離可能な両面粘着テープ3（バックグラインド用テープ）の一方の面を貼着する。（c）は、バックグラインド工程で、前記バックグラインド用テープ3の他方の面を図示しないグラインド装置の研削テーブルに貼着し、研削砥石4でICウェハー1の裏面を所定の厚み、例えば、 $t_2 = 400 \mu\text{m}$ に研削する。（d）は、バックグラインド用テープ剥離工程で、前記バックグラインド用テープ3にUV照射して粘着面を硬化させることにより粘着力を無くしバックグラインド用テープ3をICウェハー1から剥離する。（e）は、半田層形成工程で、ICウェハー1のパッド電極2位置にレジストにて窓を形成し半田浴槽中に浸漬してメッキにてパッド電極2上に半田層5を形成する。（f）は、フラックス塗布工程で、前記半田層5を被覆するようにスピンナー法にてフラックス6を一様に塗布する。（g）は、半田バンプ形成工程で、前記半田層5を所定の温度でリフローすることにより、半田はボール状に丸められてパッド電極2上に半田バンプ7が形成される。（h）は、フラックス洗浄工程で、前記IC能動面のフラックス6を除去する。上記した（a）～（h）の工程を経て、次の検査工程（i）に送られる。以上により、半導体装置の製造工程は終了する。

##### 【0006】

【発明が解決しようとする課題】 しかしながら、前述した半導体装置の製造方法には次のような問題点がある。即ち、ICウェハーのパッド電極上に半田バンプを形成する前に、ICウェハーの厚みを、 $t_1 \rightarrow t_2$ （例えば、 $625 \mu\text{m} \rightarrow 400 \mu\text{m}$ ）の所定の厚みに研削する。その後、パッド電極上に半田メッキし半田層を形成し、その上にフラックス塗布し、リフローして半田層

を丸め半田バンプを形成するが、ＩＣウェハを研削した際に生じた微細なマイクロクラックが前記半田バンプ形成時に進行してウェハの割れ不良が多発する等の問題があった。

【０００７】本発明は、上記従来の課題に鑑みなされたものであり、その目的は、ＩＣウェハの割れの発生がなく、且つ、製造工程を簡略化し、生産性が優れた、安価な半導体装置の製造方法を提供するものである。

【０００８】

【課題を解決するための手段】上記目的を達成するために、本発明における半導体装置の製造方法は、フリップチップ半導体装置の製造方法において、ＩＣウェハ上の所定位置に複数のパッド電極を形成する半導体素子形成工程と、前記ＩＣウェハのパッド電極上に半田メッキにより半田層を形成する工程と、前記半田層を被覆するフラックス塗布工程と、前記半田層を所定の温度でリフローして半田層を丸める半田バンプ形成工程と、前記ＩＣウェハのグラインド面と平行にバックグラインド用テープをフラックスで被覆された半田バンプ側に貼着するバックグラインド用テープ貼着工程と、前記テープの他方の面をグラインダ装置の研削テーブルに貼着しＩＣウェハを所定の厚みに研削するバックグラインド工程と、前記バックグラインド用テープをＩＣウェハから剥離するバックグラインド用テープ剥離工程と、前記ＩＣ能動面のフラックスを除去するフラックス洗浄工程とからなることを特徴とするものである。

【０００９】フリップチップ半導体装置の製造方法において、ＩＣウェハ上の所定位置に複数のパッド電極を形成する半導体素子形成工程と、前記ＩＣウェハのパッド電極上に半田メッキにより半田層を形成する工程と、前記半田層を被覆するフラックス塗布工程と、前記半田層を所定の温度でリフローして半田層を丸める半田バンプ形成工程と、前記ＩＣ能動面のフラックスを除去するフラックス洗浄工程、前記ＩＣ能動面に保護するＩＣ能動面保護膜形成工程と、前記ＩＣウェハのグラインド面と平行にバックグラインド用テープをフラックスで被覆された半田バンプ側に貼着するバックグラインド用テープ貼着工程と、前記テープの他方の面をグラインダ装置の研削テーブルに貼着しＩＣウェハを所定の厚みに研削するバックグラインド工程と、前記バックグラインド用テープをＩＣウェハから剥離するバックグラインド用テープ剥離工程と、前記ＩＣ能動面を保護した保護膜除去工程と、前記ＩＣ能動面を洗浄する洗浄工程とからなることを特徴とするものである。

【００１０】

【発明の実施の形態】以下図面に基づいて本発明における半導体装置の製造方法について説明する。図１は、本発明の第１の実施の形態に係わる半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。図において、従来技術と同一部材は同

一符号で示す。

【００１１】図１において、（ａ）は、半導体素子形成工程で、従来と同様に、所定の厚み、例えば、 $t_1 = 625 \mu m$ のＩＣウェハ１上の所定位置に複数のパッド電極２を形成する。（ｂ）は、パッド上に半田層を形成する工程で、ＩＣウェハ１のパッド電極２位置にメッキバンプ方式により半田層５を形成する。（ｃ）は、フラックス塗布工程で、前記半田層５を被覆するようにスピンナー法にてフラックス６を一様に塗布する。

（ｄ）は、半田バンプ形成工程で、前記半田層５を所定の温度でリフローすることにより、半田はボール状に丸められてパッド電極２上に半田バンプ７が形成される。

（ｅ）は、バックグラインド用テープ貼着工程で、ＩＣウェハ１のパッド電極２面に、ＩＣウェハ１のグラインド面と平行に紫外線照射により硬化させて剥離可能な両面粘着テープ３（バックグラインド用テープ）の一方の面を貼着する。（ｆ）は、バックグラインド工程で、前記バックグラインド用テープ３の他方の面を図示しないグラインダ装置の研削テーブルに貼着し、研削砥石４でＩＣウェハ１の裏面を所定の厚み、例えば、 $t_2 = 400 \mu m$ に研削する。（ｇ）は、バックグラインド用テープ剥離工程で、前記バックグラインド用テープ３にＵＶ照射してバックグラインド用テープ３をＩＣウェハ１から剥離する。（ｈ）は、フラックス洗浄工程で、前記ＩＣ能動面のフラックス６を除去する。上記した（ａ）～（ｈ）の工程を経て、次の検査工程（ｉ）に送られる。以上により、半導体装置の製造工程は終了する。

【００１２】上記した様に、バックグラインド工程において、半田バンプ形成工程で塗布したフラックスがＩＣの能動面を保護しているため、研削中に発生したシリコン（Ｓｉ）のカスがＩＣの能動面に付着することがなく、フラックス洗浄工程の際に容易に除去することができる。半田層を丸める半田バンプ形成工程がバックグラインド工程の前に入るため、ＩＣウェハを研削した際に微細なマイクロクラックが発生したとしても、クラックが進行することがなく、ウェハの割れ不良は発生しない。また、半田バンプ全体も含めて全体を均一にフラックスで固めることができるため、バックグラインド工程時に半田バンプへ荷重が集中するのを防止でき、半田バンプの変形などを防止できる効果がある。

【００１３】図２は、本発明の第２の実施の形態に係わる半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。前述の第１の実施の形態と異なる点を説明する。

【００１４】図２において、（ａ）半導体素子形成工程、（ｂ）パッド上に半田層を形成する工程、（ｃ）フラックス塗布工程、（ｄ）半田層を丸めるバンプ形成工程は同様であるので説明は省略する。（ｅ）で、バンプ形成で役立ったフラックス６を洗浄工程で除去する。

(f) は、IC能動面保護膜形成工程で、IC能動面保護膜8、例えば、フォトリソ等により半田バンプ上を一様に覆う。次に、(g)バックグランド用テープ貼着工程、(h)バックグランド工程、(i)バックグランド用テープ剥離工程は前述の第1の実施の形態と同様である。(j)は、保護膜除去工程で、IC能動面を保護していたIC能動面保護膜8を除去する。

(k)は、洗浄工程で、ICウェハー1を洗浄する。上記した(a)～(k)の工程を経て、次の検査工程

(l)に送られる。以上により、半導体装置の製造工程は終了する。

【0015】上記した様に、バックグランド工程の前にパッド上の半田層をリフローして半田バンプを形成し、その後にIC能動面をIC能動面保護膜で保護されている状態でバックグランドするので、ICウェハーを研削中に発生したSiカスがICの能動面に付着することがない。Siカスは保護膜除去及び洗浄工程で容易に排除できるものである。また、前述した第1の実施の形態と同様に、ICウェハーを研削した際に微細なマイクロクラックが発生したとしても、後工程に半田のリフロー工程がないのでクラックが進行することがなく、ウェハーの割れ不良は発生しない。

【0016】

【発明の効果】以上説明したように、本発明の半導体装置の製造方法によれば、半田メッキ層をリフローして半田バンプ形成後に、ICの能動面を保護膜で保護された状態でバックグランドしてICウェハーの薄型化を行うものである。従って、IC能動面にSi等の研削カスの付着もなく、従来の様に、ICウェハーを研削した際に生じた微細なマイクロクラックが半田バンプ形成時に

進行して発生するウェハーの割れ不良がなくなった。また、特に第1の実施の形態においては、半田バンプ形成時に塗布したフラックスをそのままIC能動面保護膜として使用するので、製造工程が簡略化し、生産性の優れた、安価な半導体装置の製造方法を提供することが可能になった。また、フラックスをそのままIC能動面保護膜として使用する場合は、半田バンプ全体も含めて全体を均一にフラックスで固めることができるので、バックグランド工程時に半田バンプへ荷重が集中するのを防止でき、半田バンプの変形などを防止できる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係わる半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。

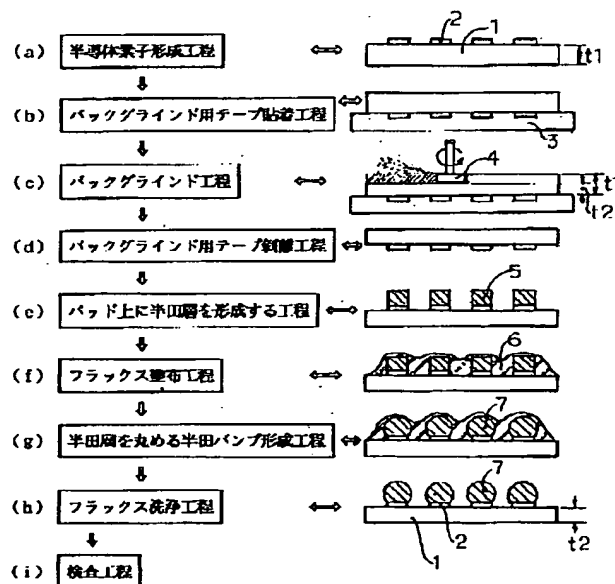
【図2】本発明の第2の実施の形態に係わる半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。

【図3】従来の半導体装置の製造方法を示す製造工程のフローチャートと各工程に対応する工程説明図である。

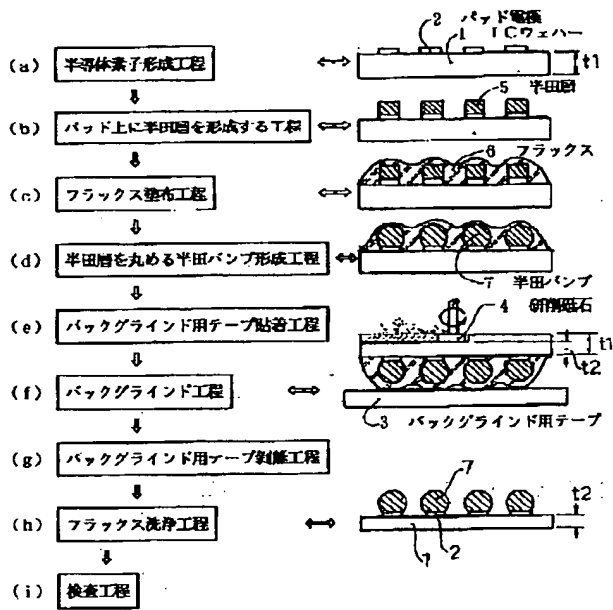
【符号の説明】

- 1 ICウェハー
- 2 パッド電極
- 3 バックグランド用テープ
- 4 研削砥石
- 5 半田層
- 6 フラックス
- 7 半田バンプ
- 8 IC能動面保護膜

【図3】



【図 1】



【図 2】

